

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-260887

(P2000-260887A)

(43) 公開日 平成12年9月22日 (2000.9.22)

(51) Int. Cl. ⁷	識別記号	F. I.	テークアウト (参考)
H 0 1 L	21/8247	H 0 1 L	29/78
	29/788		27/10
	29/792		3 7 1
	27/115		4 3 4
			5 F 0 0 1
			5 F 0 8 3

審査請求 有 請求項の数 8 O L (全 16 頁)

(21) 出願番号 特願平11-60546

(22) 出願日 平成11年3月8日 (1999.3.8)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 中川 健一郎

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100100893

弁理士 渡辺 勝 (外3名)

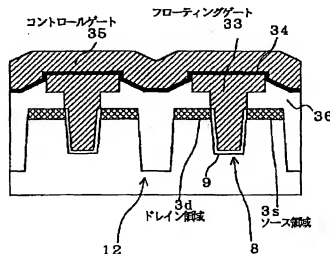
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置およびその製造方法

(57) 【要約】

【課題】 本発明は、トンネル絶縁膜の劣化がなく微細化されてもバッチスルーの発生がなく信頼性の高く、さらにON電流が大きくデータの信頼性が高く、多値化にも対応し得るフラッシュメモリを提供することを目的とする。

【解決手段】 半導体基板上に形成されたソース領域とドレイン領域の間に、ストライプ状の溝が設けられており、前記トンネル絶縁膜がこの溝の内面に設けられ、前記フローティングゲートがこのトンネル絶縁膜を介してこの溝の中に埋めこまれて形成されており、動作時にこの溝の周囲にそってチャネル領域が形成されるフラッシュメモリ。



【特許請求の範囲】

【請求項1】 半導体基板上に、ストライプ状の複数の不純物拡散層と、動作時にソースとドレインの組になる隣接する2つの不純物拡散層の間にトンネル絶縁膜を介して設けられた独立した島状のフローティングゲートと、このフローティングゲートとフローティングゲート-コントロールゲート間絶縁膜を介して設けられたコントロールゲートとを備えた不揮発性半導体記憶装置において、

前記隣接する2つの不純物拡散層の間に、ストライプ状の溝が設けられており、前記トンネル絶縁膜がこの溝の内面に設けられ、前記フローティングゲートがこのトンネル絶縁膜を介してこの溝の中に埋めこまれて形成されており、この溝の周囲にそってチャネル領域が形成されることを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記不純物拡散層は、前記半導体基板の表面に不純物濃度の高い高濃度領域とこの高濃度領域より基板表面から深い位置に不純物濃度の低い低濃度領域とを有することを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】 前記不純物拡散層は、基板表面から前記溝の深さより浅い範囲までの厚さを有している請求項1または2記載の不揮発性半導体記憶装置。

【請求項4】 前記不純物拡散層のストライプの方向と、前記コントロールゲートのストライプの方向が、平面で見たときに交差していることを特徴とする請求項1～3のいずれかに記載の不揮発性半導体記憶装置。

【請求項5】 1つのメモリセルに対して、2本の不純物拡散層がフローティングゲートを挟んでドレインとソースの組になるように、隣接するメモリセル間で不純物拡散層のストライプ方向と同じ方向の素子分離用のストライプ状溝によって分離されていることを特徴とする請求項1～4のいずれかに記載の不揮発性半導体記憶装置。

【請求項6】 半導体基板上に、ストライプ状の複数の不純物拡散層と、動作時にソースとドレインの組になる隣接する2つの不純物拡散層の間にトンネル絶縁膜を介して設けられた独立した島状のフローティングゲートと、このフローティングゲートとフローティングゲート-コントロールゲート間絶縁膜を介して設けられたコントロールゲートとを備えた不揮発性半導体記憶装置の製造方法において、

半導体基板表面にイオン注入して不純物拡散層を形成する工程と、この不純物拡散層を分断する溝を形成する工程と、この溝の内面にトンネル絶縁膜を形成する工程と、この溝の中にフローティングゲートを形成する工程とを有する不揮発性半導体記憶装置の製造方法。

【請求項7】 半導体基板表面にイオン注入して不純物拡散層を形成する工程と、

この半導体基板の一方に延びるストライプ状の第1の絶縁膜を形成する工程と、

この第1の絶縁膜の間をひとつおきにストライプ状のレジストで覆い、これをマスクとして前記半導体基板をエッチングしてチャネル用溝を形成する工程と、このチャネル用溝の内面にトンネル絶縁膜を形成する工程と、

前記チャネル用溝を埋めこみながらフローティングゲート用材料を成膜する工程と、

このフローティングゲート用材料の上に、前記チャネル用溝の上方を覆うストライプ形状のレジストを形成し、このレジストをマスクとしてフローティングゲート用材料をエッチングし、引き続き前記半導体基板をエッチングして素子分離用溝を形成する工程と、

この素子分離用溝を第2の絶縁膜で埋める工程と、前記フローティングゲート用材料の表面にフローティングゲート-コントロールゲート間絶縁膜を形成する工程と、

このフローティングゲート-コントロールゲート間絶縁膜の上にコントロールゲート用材料を堆積する工程と、前記不純物拡散層と交差する方向のストライプ状のレジストを形成し、これをマスクとしてコントロールゲート用材料をストライプ状にエッチングし、さらに前記フローティングゲート-コントロールゲート間絶縁膜、および前記フローティングゲート用材料をエッチングし、ストライプ状のコントロールゲートを形成すると共に、島状のフローティングゲートを形成する工程とを有する不揮発性半導体記憶装置の製造方法。

【請求項8】 半導体基板表面にイオン注入して不純物拡散層を形成する工程と、この半導体基板の表面に第1の絶縁膜を形成する工程と、

この第1の絶縁膜の表面に前記半導体基板の一方に延びるストライプ状のレジストを形成する工程と、このレジストをマスクとして前記半導体基板をエッチングして溝を形成する工程と、

この溝の内面にトンネル絶縁膜を形成する工程と、前記溝を埋めこみながらフローティングゲート用材料を成膜する工程と、

このフローティングゲート用材料の上に、前記溝の上方を1本おきに覆うストライプ形状のレジストを形成し、このレジストをマスクとしてフローティングゲート用材料をエッチングすることにより、前記溝の内面を1本おきに露出させる工程と、

この露出した溝の内面を第2の絶縁膜で埋める工程と、前記フローティングゲート用材料の表面にフローティングゲート-コントロールゲート間絶縁膜を形成する工程と、

このフローティングゲート-コントロールゲート間絶縁膜の上にコントロールゲート用材料を堆積する工程と、

前記不純物拡散層と交差する方向のストライプ状のレジストを形成し、これをマスクとしてコントロールゲート用材料をストライプ状にエッチングし、さらに前記フローティングゲート-コントロールゲート間絶縁膜、および前記フローティングゲート用材料をエッチングし、ストライプ状のコントロールゲートを形成すると共に、島状のフローティングゲートを形成する工程とを有する不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性半導体記憶装置、特にフラッシュメモリに関し、詳しくはその新規な構造およびその製造方法に関する。

【0002】

【従来の技術】従来、不揮発性半導体記憶装置の1つとして、電気的に情報の書き込みおよび消去が可能なフラッシュメモリが知られている。

【0003】図36～図40に従来の代表的なフラッシュメモリの主要構造を示す。図36は平面図、図37はこの平面図のF-F'断面図、図38はG-G'断面図、図39はH-H'断面図、図40はI-I'断面図である。

【0004】図36、図37および図40から判るように、シリコン基板101の表面に設けられた不純物拡散層であるソース領域102sとドレイン領域102dが、図36（平面図）の縦方向に延びて、それぞれサブグランド線およびサブビット線となっている。

【0005】ソース領域102sとドレイン領域102dの間のチャネル領域103の上方にはトンネル絶縁膜104を介してフローティングゲート105が独立した島状に設けられ、その上方をフローティングゲート-コントロールゲート間絶縁膜106を介してコントロールゲート108が、図36（平面図）の横方向のストライプ状に設けられている。

【0006】また、この構造では、左右の隣接する素子間には素子分離用の溝109で分離され、その溝は酸化シリコン110で埋められている。

【0007】尚、図示していないが、この構造のさらに上部には層間絶縁膜が設けられ、層間絶縁膜の上に主ビット線、主グランド線等の配線等が設けられており、主ビット線、主グランド線から、ところどころでコンタクトホールを介してサブビット線、サブグランド線へのコンタクトがとられている。

【0008】このようなフラッシュメモリ構造は、次のように製造されていた。

【0009】まず、図41に示すように、シリコン基板101の表面にトンネル絶縁膜104として熱酸化膜、フローティングゲート用の第1のポリシリコン81、酸化シリコン膜82、窒化シリコン膜83（ポリシリコンでもよい）を順次積層する。

【0010】次に図42に示すように、レジスト84を図36の平面図の縦方向に走るストライプ状にパターンニングしてから、これをマスクとして窒化シリコン膜83、酸化シリコン膜82、フローティングゲート用の第1のポリシリコン81を順次エッチングした後、図43に示すように、レジスト84を除去する。

【0011】次に図44に示すように、パターンニングされた窒化シリコン膜83などをマスクとして、イオン注入してシリコン基板101の表面に不純物拡散層102を形成する。

【0012】次に図45に示すように、これらの表面を酸化シリコン膜85を堆積した後、エッチバックして、図46に示すようにサイドウォール86を形成する。そして、このサイドウォール86および窒化シリコン膜83をマスクとして、図47に示すようにシリコン基板101の表面をエッチングして、図36の縦方向に延びる素子分離用の溝109を形成する。

【0013】図48に示すように、この表面に酸化シリコン膜87を堆積して、溝109を埋めた後、図49に示すように例えばCMP（化学機械研磨）により平坦化して、さらに図50に示すようにサイドウォール86の高さがフローティングゲート用の第1のポリシリコン81、酸化シリコン膜82より少し高くなる程度までエッチバックする。続いて、図51に示すように窒化シリコン膜83と酸化シリコン膜82をエッチング除去し、フローティングゲート用の第1のポリシリコン81の表面を露出させた後、図52に示すようにその上にフローティングゲート用の第2のポリシリコン88を堆積する。

【0014】図53に示すように、図36の縦方向に延びるストライプ状のレジスト89を形成し、これをマスクにしてフローティングゲート用の第2のポリシリコン88をエッチングし、続いて図54に示すようにレジスト89を除去する。

【0015】次に図55に示すように、フローティングゲート-コントロールゲート間絶縁膜としてONO膜90（酸化/窒化膜/酸化膜の三層構造）を成膜し、続いて図56に示すようにコントロールゲート用ポリシリコン91を堆積した後、図36の横方向のストライプ状のマスクを用いてコントロールゲート用ポリシリコン91、ONO膜90、フローティングゲート用の第2のポリシリコン88および第1のポリシリコン81をパターンニングする。このパターンニングによりフローティングゲート用の第1、第2のポリシリコンは分断されて島状のフローティングゲートが形成される。その後、層間絶縁膜、配線等の必要な工程を経てフラッシュメモリを完成する。

【0016】しかしながら、このような従来のフラッシュメモリの構造および製造方法では、次のような問題があった。

【0017】まず第1の問題として、サブビット線であ

るドレイン領域の幅、サブグランド線であるグランド領域の幅は、図46で示したサイドウォール86の幅で決まるが、サイドウォールの幅は、堆積する酸化シリコン膜の膜厚およびエッチバック工程に依存するため、リソグラフィ法に比べてばらつきが生じ易い。サブビット線の幅がばらつくとON電流のパラッキが生じる問題があった。

【0018】第2の問題として、微細化を進めるためにフローティングゲート長を小さくすると、パナシスルが起りやすい問題がある。特に信頼性を向上させるためにDDD (double diffused drain) 構造を採用するとパナシスル現象が一層起り易くなる。これを次に説明する。

【0019】このような構造のフラッシュメモリでは、書き込み・消去のために、フローティングゲートからの電荷の引き抜きをFN (ファウラーノルトハイム) トンネル電流により行い、フローティングゲートへの電子の注入をFNトンネル電流またはホットエレクトロン注入で行う。このため図37に示すように、不純物拡散層(ドレイン領域102d、ソース領域102s)はいずれもフローティングゲート105の下部に入り込む形態に形成されている。

【0020】そしてフローティングゲートからの電子の引き抜きするとき(例えば書き込み時)に、コントロールゲートに負電圧、ドレインに正電圧を掛けると、バンド間トンネルによって、ドレインの端部で電子とホールのペアが発生する。発生した電子はドレインに流れていき、一方ホールは、空乏層内の電界によって加速されながら基板側に流れていく。その際、ホールは、空乏層内で原子との相互作用(衝突)により、エネルギーを失いながら流れる。しかし、空乏層内の電界が強いと、原子との相互作用する際のエネルギーで新たに電子とホールのペア(2次ホール、2次電子の形成)を形成する。このように発生したペアは四方に飛び散るが、1次ホールのエネルギーが小さい場合はやがて基板に吸収される。しかし、さらに空乏層内の電界が高くなった場合は、2次ホールや2次電子の受けるエネルギーが大きくなりトンネル絶縁膜(ゲート絶縁膜)に飛び込むことができるほど非常にエネルギーの高いもの(ホットエレクトロン、ホットホール)が出てくる。特にホットホールがトンネル絶縁膜に飛び込むと、膜が劣化して特性が悪化する。

【0021】従って、信頼性を向上させるためにはこのホットホールの発生を抑えることが重要である。これを解決する方法として、高濃度に不純物が拡散された領域の周りに不純物濃度の低い領域を設けるDDD構造にすると、空乏層が長くなり電界が弱くなるのでホットホールの発生を抑えることができる。

【0022】しかしながら、DDD構造とすると、空乏層がフローティングゲート下部にさらに入り込んでくる

ことになり、実効的なチャネル長が短くなるので、ゲート長を短くして微細化をさらに進めた場合にはパナシスルが発生しやすくなる。

【0023】第3の問題として、微細化を進めるために不純物拡散層幅を狭くするとサブビット線の抵抗が大きくなる問題がある。この例のようなコンタクトレスアレイ構造では、高集積化のために複数のセルをサブビット線であるドレイン領域でつなぎ、どこどこでサブビット線とメインビット線の接続がコンタクトホールを通して行われる。従ってサブビット線の抵抗が大きくなるとON電流が小さくなり、データの信頼性が低下するばかりでなく、データの多値化への対応が困難になるので、不純物拡散層の抵抗の低下が求められていた。

【0024】

【発明が解決しようとする課題】本発明は、このような従来の問題点に鑑みてなされたものであり、微細化されてもパナシスルの発生がなく信頼性の高い不揮発性半導体記憶装置を提供することを目的とする。

【0025】また本発明は、トンネル絶縁膜の劣化がなくさらに信頼性の高い不揮発性半導体記憶装置を提供することを目的とする。

【0026】さらに本発明は、ON電流が大きくデータの信頼性が高く、多値化にも対応し得る不揮発性半導体記憶装置を提供することを目的とする。

【0027】さらに本発明は、このような不揮発性半導体記憶装置の製造方法であって、サブビット線となる不純物拡散層幅を精度良く形成し、ON電流のパラッキのない製造方法を提供することを目的とする。

【0028】

【課題を解決するための手段】本発明は、半導体基板上に、ストライプ状の複数の不純物拡散層と、動作時にソースとドレインの組になる隣接する2つの不純物拡散層の間にトンネル絶縁膜を介して設けられた独立した鳥状のフローティングゲートと、このフローティングゲートとフローティングゲートコントロールゲート間絶縁膜を介して設けられたコントロールゲートとを備えた不揮発性半導体記憶装置において、前記隣接する2つの不純物拡散層の間に、ストライプ状の溝が設けられており、前記トンネル絶縁膜がこの溝の内面に設けられ、前記フローティングゲートがこのトンネル絶縁膜を介してこの溝の中に埋めこまれて形成されており、この溝の周囲にそってチャネル領域が形成されることを特徴とする不揮発性半導体記憶装置に関する。

【0029】また本発明は、半導体基板上に、ストライプ状の複数の不純物拡散層と、動作時にソースとドレインの組になる隣接する2つの不純物拡散層の間にトンネル絶縁膜を介して設けられた独立した鳥状のフローティングゲートと、このフローティングゲートとフローティングゲートコントロールゲート間絶縁膜を介して設けられたコントロールゲートとを備えた不揮発性半導体記

憶装置の製造方法において、半導体基板表面にイオン注入して不純物拡散層を形成する工程と、この不純物拡散層を分断する溝を形成する工程と、この溝の内面にトンネル絶縁膜を形成する工程と、この溝の中にフローティングゲートを形成する工程とを有する不揮発性半導体記憶装置の製造方法に関する。

【0030】この製造方法の1態様としては、半導体基板表面にイオン注入して不純物拡散層を形成する工程と、この半導体基板の一方に延びるストライプ状の第1の絶縁膜を形成する工程と、この第1の絶縁膜の間をひとつおきにストライプ状のレジストで覆い、これをマスクとして前記半導体基板をエッチングしてチャネル用溝を形成する工程と、このチャネル用溝の内面にトンネル絶縁膜を形成する工程と、前記チャネル用溝を埋めこみながらフローティングゲート用材料を成膜する工程と、このフローティングゲート用材料の上に、前記チャネル用溝の上方を覆うストライプ形状のレジストを形成し、このレジストをマスクとしてフローティングゲート用材料をエッチングし、引き続き前記半導体基板をエッチングして素子分離用溝を形成する工程と、この素子分離用溝を第2の絶縁膜で埋める工程と、前記フローティングゲート用材料の表面にフローティングゲート-コントロールゲート間絶縁膜を形成する工程と、このフローティングゲート-コントロールゲート間絶縁膜の上にコントロールゲート用材料を堆積する工程と、前記不純物拡散層と交差する方向のストライプ状のレジストを形成し、これをマスクとしてコントロールゲート用材料をストライプ状にエッチングし、さらに前記フローティングゲート-コントロールゲート間絶縁膜、および前記フローティングゲート用材料をエッチングし、ストライプ状のコントロールゲートを形成すると共に、鳥状のフローティングゲートを形成する工程とを有する製造方法を挙げることができる。

【0031】さらに異なる態様としては、半導体基板表面にイオン注入して不純物拡散層を形成する工程と、この半導体基板の表面に第1の絶縁膜を形成する工程と、この第1の絶縁膜の表面に前記半導体基板の一方に延びるストライプ状のレジストを形成する工程と、このレジストをマスクとして前記半導体基板をエッチングして溝を形成する工程と、この溝の内面にトンネル絶縁膜を形成する工程と、前記溝を埋めこみながらフローティングゲート用材料を成膜する工程と、このフローティングゲート用材料の上に、前記溝の上方を1本おきに覆うストライプ形状のレジストを形成し、このレジストをマスクとしてフローティングゲート用材料をエッチングすることにより、前記溝の内面を1本おきに露出させる工程と、この露出した溝の内面を第2の絶縁膜で埋める工程と、前記フローティングゲート用材料の表面にフローティングゲート-コントロールゲート間絶縁膜を形成する工程と、このフローティングゲート-コントロールゲート

間絶縁膜の上にコントロールゲート用材料を堆積する工程と、前記不純物拡散層と交差する方向のストライプ状のレジストを形成し、これをマスクとしてコントロールゲート用材料をストライプ状にエッチングし、さらに前記フローティングゲート-コントロールゲート間絶縁膜、および前記フローティングゲート用材料をエッチングし、ストライプ状のコントロールゲートを形成すると共に、鳥状のフローティングゲートを形成する工程とを有する製造方法を挙げることができる。

【0032】

【発明の実施の形態】本発明の不揮発性半導体記憶装置は、特にフラッシュ型メモリ（以下単にフラッシュメモリという。）に関するものであり、半導体基板上に多数のメモリセルが形成され、1つのメモリセルは1つの鳥状のフローティングゲートを有している。図面を用いて本発明の構造を具体的に説明する。

【0033】図1～図6に本発明のフラッシュメモリの1例の主要構造を示す。図1は平面図、図2はこの平面図のA-A'断面図、図3はこの平面図のB-B'断面図、図4はC-C'断面図、図5はD-D'断面図、図6はE-E'断面図である。

【0034】図1、図2および図5から判るように、半導体基板1の表面に設けられた不純物であるソース領域3sとドレイン領域3dが、図1（平面図）の縦方向に延びて、それぞれサブグラウンド線およびサブビット線となっている。

【0035】そして本発明では、図2から判るように、ソース領域3sとドレイン領域3d間に溝8が設けられており、溝8の内面にはトンネル絶縁膜9（ゲート絶縁膜）を介してフローティングゲート33が独特な鳥状に設けられている。従って、動作時に溝8の周囲にチャネル31が形成される。

【0036】また、フローティングゲート33の上方をフローティングゲート-コントロールゲート間絶縁膜34を介してコントロールゲート35が、図1（平面図）の横方向のストライプ状に設けられている。

【0037】この構造では、左右の隣接するメモリセル間は素子分離用の溝12で分離され、その溝は絶縁膜36で埋められている。

【0038】このような本発明の構造では、ソース・ドレイン間距離、即ちチャネル長は、ソース・ドレイン間の直線距離ではなく、溝8の周囲に沿う距離になるので、素子の微細化が進んだ場合でも、十分なチャネル長を確保することができる。

【0039】本発明では、不純物拡散層3を図7のように、不純物高濃度領域38の下部にさらに不純物低濃度領域39を有するDDD構造とすることがさらに好ましい。このようにすると、空乏層の広がりが大きくなることから電界強度が緩和され、ホットホールの発生が低減し、その結果トンネル絶縁膜の劣化を防ぐことが出

来るので、データの信頼性が向上する。

【00404】従来のフラッシュメモリの構造では、DDD構造にするとパンチスルー現象が起き易かったのに対して、本発明ではチャネルが溝の周囲に沿って形成され十分なチャネル長を確保できるのでパンチスルーが起き難い。即ち本発明の構造は、微細化された場合でも信頼性の高いDDD構造を採用することができる構造である。

【0041】さらに本発明では、不純物拡散層の厚さを厚くすることができる。従来の構造では、不純物拡散層の厚さを厚くすると、横方向の広がりも大きくなりパンチスルーが起きやすくなるのに対して、本発明では溝により分断されているので横方向の広がりは考慮しなくても良い。不純物拡散層の厚さは、溝の深さより浅い範囲とすることが好ましい。

【0042】また、本発明において溝の深さは、基板表面に形成される不純物拡散層の厚さより厚く、さらに不純物拡散層の厚さの1.5倍以上の深さを有していることが好ましい。溝の断面形状は、その周囲にチャネルが形成されるのに不都合のないような形状であれば特にどのような形状でも良いが、溝形成の技術から一般的には方形または方形に近い形状が好ましい。このとき、溝の壁面は、垂直に立っていてもよいが、図2に示すように多少斜めの方がよく、例えば5°程度傾斜している方がよい。また、図2では溝の底の隅に90°に近い角が形成されているように描かれているが、角が丸くなっている方が好ましく、また底の全体が曲面になっていてもよい。

【0043】本発明では、この溝の深さを深く形成すればするほどチャネル長を長くすることができるので、加工技術の進歩に伴ってその技術を採用することにより微細化をさらに進めることが可能である。

【0044】図示していないが、この構造のさらに上部には層間絶縁膜が設けられ、層間絶縁膜の上に、サブビット線であるドレイン領域に接続するメインビット線、サブグランド線であるソース領域に接続するメインビット線等の配線等が設けられる。

【0045】次に、本発明のフラッシュメモリの製造方法を例を挙げながら具体的に説明する。

【0046】【実施形態1】図1に示す平面図のA-A'断面を中心に製造方法を説明する。

【0047】図8に示すように、半導体基板1としてシリコン基板の表面に犠牲酸化膜2を形成してから、浅い位置の高濃度領域形成のために、例えばヒ素をドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$ 、加速エネルギー70 keVで、深い位置の低濃度領域形成のためにリンをドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ 、加速エネルギー30～50 keVでイオン注入し、DDD構造の不純物拡散層3を形成する。注入の順序はどちらが先でもよく、またDDD構造になるのであれば、不純物の種類、注入条件は適宜変更することが

できる。尚、この例でDDD構造にしないときは、ヒ素の注入だけでよい。

【0048】次に、図9に示すように犠牲酸化膜を除去した後、図10に示すように熱CVD法により酸化シリコン膜4を厚さ100～150 nmの厚さに形成する。

【0049】図11に示すように、レジスト5を全面に形成した後、ライン幅0.2 μm 、ライン間隔0.2 μm のストライプ形状にパターンニングし、これをマスクとして酸化シリコン膜4をパターンニングし、続いて図12に示すように、レジスト5を取り除く。ここで、このライン幅およびライン間隔は、これに限られるものではなくレジストのパターンニング限界が進めばさらに狭くして高集積化することが可能であり、本発明の構造はそのような高集積化に対応できる構造である。

【0050】図13に示すように、ライン状にパターンニングされた酸化シリコン膜4のライン間を一つおきに覆うようにストライプ状のレジスト6を形成し、引き続きこのレジスト6をマスクに用いて、例えばHBr、 Cl_2 をエッチングガスとして用いた異方性のドライエッチングによりストライプ状の溝8を深さ200～500 nm程度に形成する。

【0051】その後、図14に示すように、このレジスト6を O_2 プラズマエッチングによりとる。

【0052】その後熱酸化により、図15に示すようにチャネル用溝8の内面を含む露出しているシリコン基板の表面にトンネル絶縁膜としてトンネル酸化膜9を10 nm程度の厚さに形成する。

【0053】次に、図16に示すようにフローティングゲート用ポリシリコン10を成膜する。このポリシリコンとしては、ポリシリコンの堆積と同時にリン等の不純物を導入するドーパントシリコンを用いることが好ましい。

【0054】次に、フローティングゲート用ポリシリコン10の上に、チャネル用の溝8の上部を覆うストライプ形状のレジスト11を形成する。そしてこのレジストをマスクとしてフローティングゲート用ポリシリコン10をエッチングし、引き続き不純物拡散層3の表面のトンネル酸化膜を例えば CF_4 をエッチングガスとして用いてエッチングにより除き、引き続きレジストと酸化シリコン膜4をマスクにして図17に示すように素子分離用溝12を形成する。エッチング条件は、チャネル用溝8の形成と同じ条件を採用することができる。尚、酸化シリコン膜4も多少エッチングされて薄くなるが、もともと厚く形成されているので、不純物拡散層3が表面から露出することはない。

【0055】素子分離用溝の深さは、素子分離できるだけの深さがあればよく、例えばチャネル用溝の深さと同程度かそれより深いことが好ましい。

【0056】次に図18に示すように、 O_2 プラズマエッチングによりレジスト11を取り除く。ここまでの工

程では、フローティングゲート用ポリシリコン10は、まだ島状には分離されておらず、図1の縦方向に走るストライプ状である。

【0057】次に図19に示すように、酸化シリコン膜13を例えばプラズマCVDにより全面に成膜し、続いて図20に示すように、フローティングゲート用ポリシリコン10の表面が現れるまでエッチバックする。このとき堆積した酸化シリコン膜13表面の段差が大きい場合には、表面をCMP（化学機械研磨）によりある程度平坦化してから、エッチバックするとフローティングゲート用ポリシリコンのストライプ間を十分に酸化シリコン膜で埋めることができる。

【0058】次に図21に示すように、露出したフローティングゲート用ポリシリコンの表面を覆うフローティングゲートコントロールゲート間絶縁膜として、例えばONO膜14（酸化シリコン膜/窒化シリコン膜/酸化シリコン膜の3層構造であって、例えばそれぞれ高温熱CVD、CVD、高温熱CVDにより形成することができる。）を、酸化シリコン換算膜厚で15nm程度に形成する。

【0059】その後、図22に示すようにコントロールゲート用ポリシリコン15を全面に堆積した後、図1の横方向のストライプ状のマスクを用いてコントロールゲート用ポリシリコン15、ONO膜14およびフローティングゲート用ポリシリコン10をパターンニングする。このパターンニングにより、コントロールゲートは図1の横方向に延びるストライプ状に形成され、同時にフローティングゲート用ポリシリコンは分離されて島状のフローティングゲートが形成される。尚、コントロールゲート用ポリシリコンの表面にさらにタングステンシリサイド等を形成して、配線抵抗を下げるようにしてもよい。

【0060】ここまでの工程により、図1（平面図）に示すようなフラッシュメモリの主要な構造が完成する。

【0061】その後、図示は省略するが層間絶縁膜を成膜堆積した後、所定のコンタクトホール等形成した後、層間絶縁膜の表面にアルミニウムなどでビット線等の配線を形成してフラッシュメモリを完成する。

【0062】以上のよう実施形態1の製造方法によれば、不純物拡散層の幅が精度良く決まり、バラツキも少ないので、ON電流のバラツキの少ない信頼性の高いフラッシュメモリが得られる。

【0063】【実施形態2】本発明の実施形態2を図23～図34を用いて説明する。

【0064】図23～図25に示すように、実施形態1と同様にして、半導体基板1の表面に不純物拡散層3を形成し、酸化シリコン膜4を形成する。

【0065】次に図26に示すように、例えばライン幅0.2μm、ライン間隔0.2μmのラインパターン形状のレジスト17を形成した後、酸化シリコン膜4をエッチングし、さらに引き続きシリコン基板をエッチング

して溝18を形成する。この溝の形状、形成条件等は実施形態1におけるチャネル用溝8と同じである。

【0066】次に、図27に示すようにレジスト17を取り除き、図28に示すように熱酸化により溝18の内部にトンネル絶縁膜としてトンネル酸化膜9を形成する。

【0067】次に図29に示すように、フローティングゲート用ポリシリコン10を全面に堆積した後、図30に示すように、フローティングゲート用ポリシリコン10の表面に、溝18の上方を一本おきに覆うストライプ状のレジスト19を形成する。そして、フローティングゲート用ポリシリコン10をエッチングする。ここでフローティングゲート用ポリシリコン10が残っている方の溝がチャネル用溝18aとなり、フローティングゲート用ポリシリコンを取り除いた方の溝が素子分離用溝18bとなる。

【0068】次に、レジスト19を取り除くと、図31に示すように溝18が交互にフローティングゲート用ポリシリコン10で埋められた構造ができる。

【0069】その後実施形態1と同じようにして、図32に示すように酸化シリコン膜13を全面に成膜し、図33に示すようにフローティングゲート用ポリシリコン10の表面が現れるまでエッチバックし、図34に示すようにONO膜14を形成し、図35に示すようにコントロールゲート用ポリシリコン15を全面に堆積した後、図1の横方向のストライプ状のマスクを用いてコントロールゲート用ポリシリコン15、ONO膜14およびフローティングゲート用ポリシリコン10をパターンニングする。

【0070】その後さらに実施形態1と同様にしてフラッシュメモリを完成する。

【0071】実施形態2の形態では、素子分離用溝18bが実施形態1における素子分離用溝12に比べて浅くなっている以外は同様の構造のフラッシュメモリが得られる。

【0072】実施形態2によれば、実施形態1に比べてレジスト工程を1工程省略することができる。尚、素子分離溝とチャネル用溝の深さが等しくなるので、もし、素子間の分離が十分でなく電流のリークが問題が懸念される場合には、レジスト19でフローティングゲート用ポリシリコン10をストライプ状に形成した後、素子分離用溝18の底にチャネルリーク防止用にボロン等を注入すればさらに確実にリークを防止できる。

【0073】

【発明の効果】本発明によれば、微細化されてもパンスルーの発生がなく信頼性の高い不揮発性半導体記憶装置を提供することができる。

【0074】また本発明によれば、トンネル絶縁膜の劣化がなくさらに信頼性の高い不揮発性半導体記憶装置を提供することができる。

【0075】さらに本発明によれば、ON電流が大きくデータの信頼性が高く、多値化にも対応し得る不揮発性半導体記憶装置を提供することができる。

【0076】さらに本発明によれば、このような不揮発性半導体記憶装置の製造方法であって、サブビット線となる不純物拡散層幅を精度良く形成し、ON電流のパラツキのない製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の不揮発性半導体記憶装置の1例の平面図である。

【図2】図1のA-A'断面図である。

【図3】図1のB-B'断面図である。

【図4】図1のC-C'断面図である。

【図5】図1のD-D'断面図である。

【図6】図1のE-E'断面図である。

【図7】本発明の不揮発性半導体記憶装置の不純物拡散層の1例を示す拡大図である。

【図8】実施形態1に示した不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図9】実施形態1に示した不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図10】実施形態1に示した不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図11】実施形態1に示した不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図12】実施形態1に示した不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図13】実施形態1に示した不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図14】実施形態1に示した不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図15】実施形態1に示した不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図16】実施形態1に示した不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図17】実施形態1に示した不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図18】実施形態1に示した不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図19】実施形態1に示した不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図20】実施形態1に示した不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図21】実施形態1に示した不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図22】実施形態1に示した不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図23】実施形態2に示した不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図24】実施形態2に示した不揮発性半導体記憶装置

の製造工程の1例を示す図である。

【図25】実施形態2に示した不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図26】実施形態2に示した不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図27】実施形態2に示した不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図28】実施形態2に示した不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図29】実施形態2に示した不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図30】実施形態2に示した不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図31】実施形態2に示した不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図32】実施形態2に示した不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図33】実施形態2に示した不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図34】実施形態2に示した不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図35】実施形態2に示した不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図36】従来の不揮発性半導体記憶装置の1例の平面図である。

【図37】図36のF-F'断面図である。

【図38】図36のG-G'断面図である。

【図39】図36のH-H'断面図である。

【図40】図36のI-I'断面図である。

【図41】従来の不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図42】従来の不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図43】従来の不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図44】従来の不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図45】従来の不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図46】従来の不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図47】従来の不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図48】従来の不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図49】従来の不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図50】従来の不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図51】従来の不揮発性半導体記憶装置の製造工程の

1例を示す図である。

【図52】従来の不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図53】従来の不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図54】従来の不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図55】従来の不揮発性半導体記憶装置の製造工程の1例を示す図である。

【図56】従来の不揮発性半導体記憶装置の製造工程の1例を示す図である。

【符号の説明】

1 半導体基板

2 犠牲酸化膜

3 不純物拡散層

3s ソース領域

3d ドレイン領域

4 酸化シリコン膜

5 レジスト

6 レジスト

8 チャネル用溝

9 トンネル酸化膜

10 フローティングゲート用ポリシリコン

11 レジスト

12 素子分離用溝

13 酸化シリコン膜

14 ONO膜

15 コントロールゲート用ポリシリコン

17 レジスト

18、18a、18b 溝

31 チャネル

33 フローティングゲート

34 フローティングゲート—コントロールゲート間絶縁膜

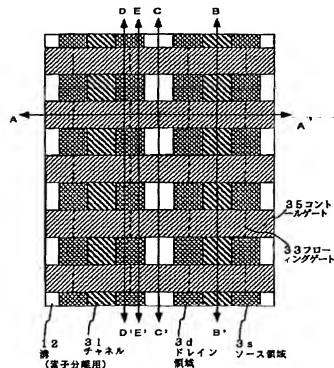
35 コントロールゲート

36 絶縁膜

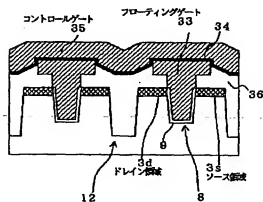
38 不純物高濃度領域

39 不純物低濃度領域

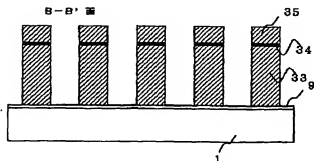
【図1】



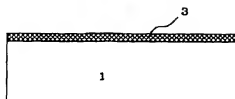
【図2】



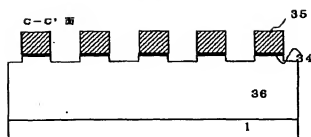
【図3】



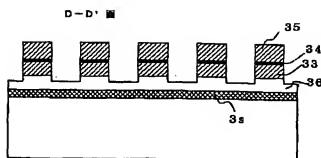
【図9】



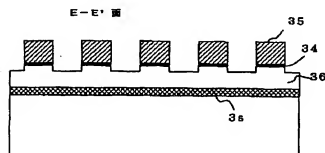
【図4】



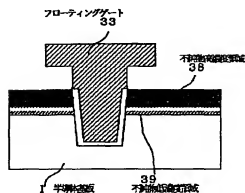
【図5】



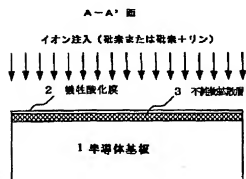
【図6】



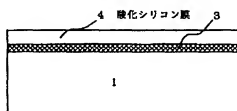
【図7】



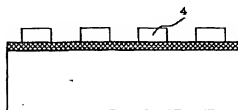
【図8】



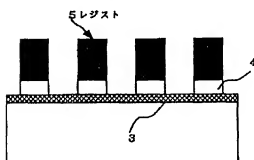
【図10】



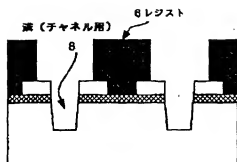
【図12】



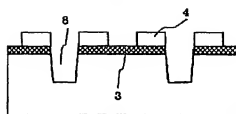
【図11】



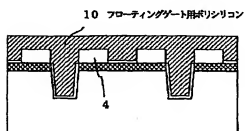
【図13】



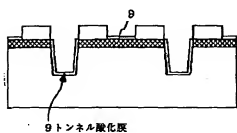
【図14】



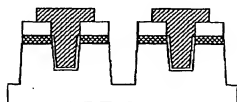
【図16】



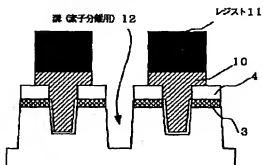
【図15】



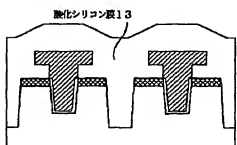
【図18】



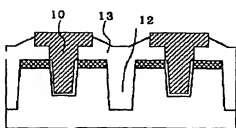
【図17】



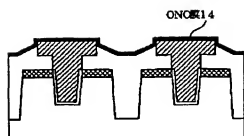
【図19】



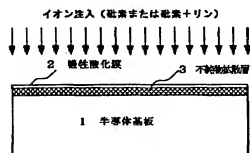
【図20】



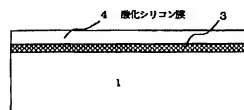
【図 21】



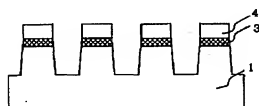
【図 23】



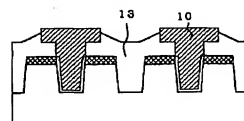
【図 25】



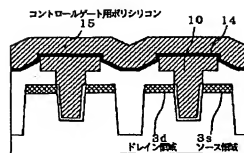
【図 27】



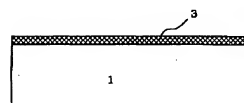
【図 33】



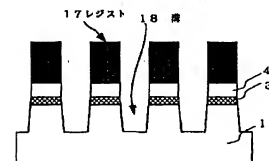
【図 22】



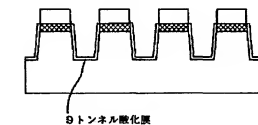
【図 24】



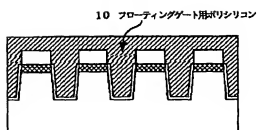
【図 26】



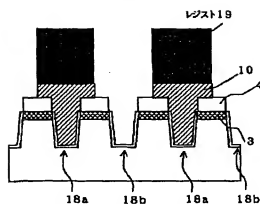
【図 28】



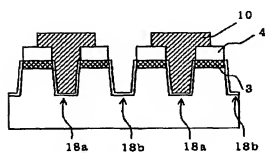
【図29】



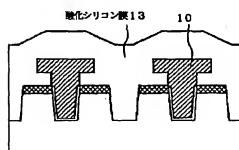
【図30】



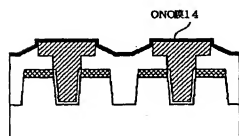
【図31】



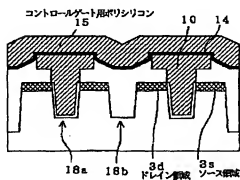
【図32】



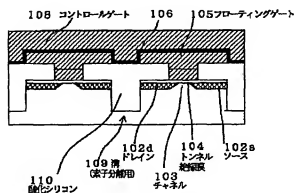
【図34】



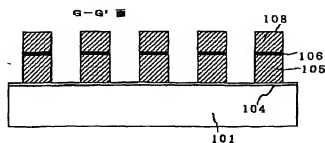
【図35】



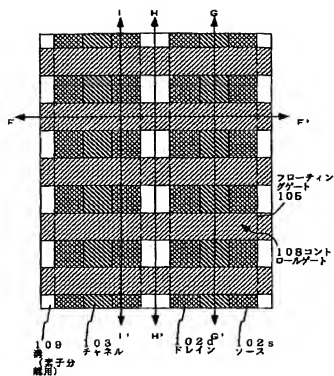
【図37】



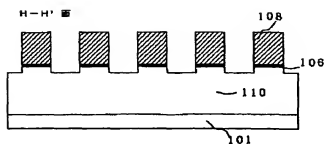
【図38】



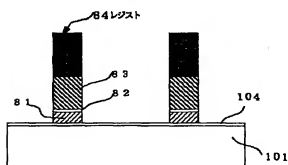
【図36】



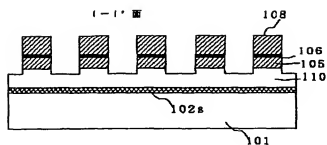
【図39】



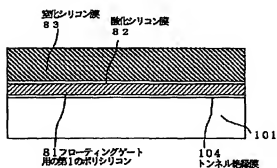
【図42】



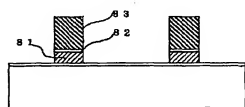
【図40】



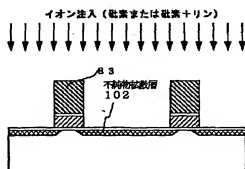
【図41】



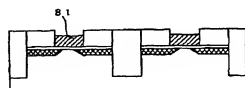
【図43】



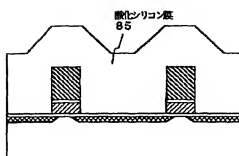
【図44】



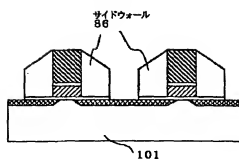
【図51】



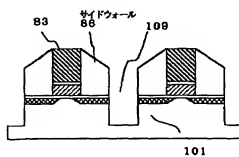
【図45】



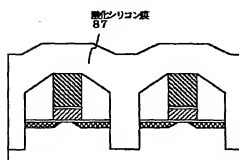
【図46】



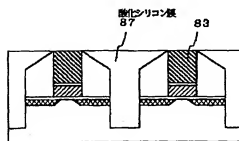
【図47】



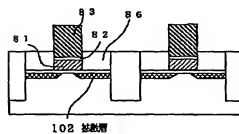
【図48】



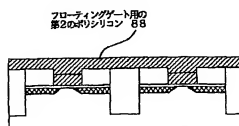
【図49】



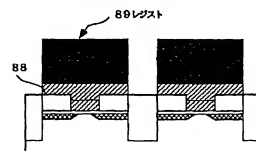
【図50】



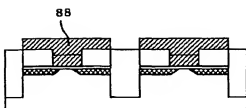
【図52】



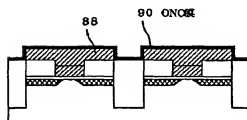
【図53】



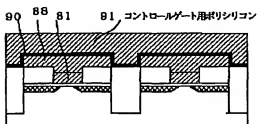
【図54】



【図55】



【図56】



フロントページの続き

Fターム(参考) 5F001 AA25 AA31 AA43 AB08 AC02
 AC06 AD18 AD21 AD24 AD60
 AE02 AE08 AF07 AF20 AG02
 AG10 AG12 AG21 AG22
 5F083 EP13 EP23 EP27 EP55 ER02
 ER14 ER15 ER22 ER30 GA02
 GA21 GA30 JA04 JA35 JA36
 JA39 JA53 KA06 KA12 LA12
 LA16 MA01 MA19 MA20 NA01
 PR12 PR21 PR36 PR40 ZA21